

大容量STT-MRAMのRead Disturb特性を向上させるセルアレイ動作方式とセンスアンプ回路に関する研究

著者	山田 洸平
雑誌名	東北大学電通談話会記録
巻	90
号	1
ページ	102-103
発行年	2021-08-20
URL	http://hdl.handle.net/10097/00132830

修士学位論文要約（令和 3 年 3 月）

大容量 STT-MRAM の Read Disturb 特性を向上させる セルアレイ動作方式とセンスアンプ回路に関する研究

山田 洸平

指導教員：遠藤 哲郎

Study on Cell Array Operation Scheme and Sense Amplifier Circuit to Improve Read Disturb Characteristics of High Density STT-MRAM

Kohei YAMADA

Supervisor: Tetsuo ENDOH

In recent years, the increase in power consumption of ICT (Information and Communication Technology) devices has become one of the most important social issues. One of the reasons for this is the increase in the capacity of volatile memory due to the increase in the amount of data handled by the device. In addition, the increase in power consumption of volatile memory with higher density and the speed gap between each memory are challenges for the memory itself. To solve these problems, STT-MRAM (Spin Transfer Torque Random Access Memory), a new type of non-volatile memory, is expected to replace conventional memory. However, as the performance of STT-MRAM improves, various reliability issues become apparent. It in order to improve both performance and reliability without being limited by the trade-off between performance and reliability, circuit improvement is effective. Here, I focus on a Read Disturb. Read Disturb is an error that occurs during the read operation of STT-MRAM, and is a very important design parameter because its characteristics are directly related to various performance characteristics of the memory. Therefore, this research aims to improve the Read Disturb characteristic of STT-MRAM by improving the cell array operation scheme and the sense amplifier circuit. As a result, I have shown that the improvement of the Read Disturb characteristic is achieved by improving the cell array operation method and the sense amplifier circuit, mainly by incorporating an NMOS latch into the STT-MRAM read circuit. In addition, a circuit design guideline for reducing the read current to further improve the effectiveness of read disturb suppression is presented.

1. はじめに

近年急速に普及が進んだ ICT デバイスにおいて、その高機能化・高性能化に伴う消費電力の増加は社会的な課題の一つとなっている。その消費電力の中でもメモリの静的消費電力の増加は、デバイスが扱うデータ量の増加に伴い揮発性メモリの搭載容量を増やしたことが原因の一つである。また、高密度に伴う揮発性メモリの消費電力の増大および各メモリ間のスピードギャップは図 1 のメモリの階層構造によって示されるメモリ自体の課題となっている。

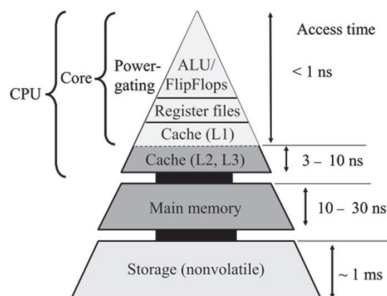


図 1 メモリの階層構造¹⁾

これらの課題の解決のために STT-MRAM という新規不揮発性メモリによる従来メモリの置き換えが期待されている。表 1 から分かるように、STT-MRAM は動作電圧や動作速度、Endurance に関してその他の新規不揮発性メモリと比べて優位性を持っており、動作電圧の低さと動作速度の速さの観点から高速・低電圧動作が求められる用途のメモリに適していると考えられる。

表 1 STT-MRAM とその他メモリの比較²⁾

Performance index	FeRAM	PCRAM	ReRAM	STT-MRAM	NAND flash	SRAM
Cell size (SLC [*])	15 ~ 35F ²	4 ~ 19F ²	6 ~ 10F ²	6 ~ 14F ²	4F ²	160 ~ 280F ²
Operation voltage	~ 1.8 V	1.5 ~ 1.8 V	3.3 ~ 6.5 V	0.8 ~ 1.8 V	~ 20 V	0.6 ~ 1.1 V
Write current	~ 10 ⁻⁶ A ^{**}	~ 10 ⁻⁴ A	~ 10 ⁻⁴ A	~ 10 ⁻⁵ A	~ 10 ⁻⁷ A	~ 10 ⁻⁸ A
Write time	< 10 ns	~ 100 ns	~ 50 ns	< 10 ns	~ 1 ms	≤ 2 ns
Read time	< 5 ns	< 5 ns	< 5 ns	< 5 ns	~ 100 μs	≤ 2 ns
Retention	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	(volatile)
Endurance	10 ¹³	10 ⁹ ~ 10 ¹²	~ 10 ⁶	10 ¹⁵	~ 10 ⁵	10 ¹⁵

^{*} SLC: Single-level cell. (In this table, only physical cell size is written.

Multi-level cell and multi-layer cell is out of consideration.)

^{**} Capacitive switching (no static current required).

しかし、STT-MRAM は各性能向上に伴い原理的に様々な信頼性の課題が顕在化することが分かって

おり、そのトレードオフに制限されず性能と信頼性を共に向上させるためには回路の改良が有効である。ここで、STT-MRAM の信頼性の課題の一つである Read Disturb と呼ばれるエラーに着目した。Read Disturb は STT-MRAM の Read 時に発生するエラーでありその特性はメモリの諸特性と直接関係しているため、Read Disturb 特性の向上はそれ自身が STT-MRAM の性能向上に向けた課題の一つであると言える。

したがって本研究では、STT-MRAM の Read Disturb 特性をセルアレイ動作方式とセンスアンプ回路の改良によって向上させることを目的として研究を行った。

2. Read Disturb 対策に向けた既存 Read 回路のベンチマーク

第2章では、STT-MRAM の Read Disturb 対策回路の従来研究に関してエラー検出および訂正の高度化方式³⁾と読み出し電流の小電流化方式⁴⁾について詳細な調査を行い、それら2つの方式のメリット・デメリットをまとめて定性的なベンチマークを行った。ベンチマークによって、読み出し電流の小電流化方式の方が STT-MRAM の将来的な大規模化に伴い有利になることを示し、Read Disturb 対策として読み出し電流の小電流化による Read Disturb 抑制方式がより効果的であると結論付けた。一方で、読み出し電流を小さくすると原理的に STT-MRAM の性能低下やその他エラー発生などの課題が顕在化することが分かっているため、本研究では小さい読み出し電流でも高性能・高信頼性を確保できる Read Disturb 対策回路を設計することとした。

3. STT-MRAM Read 回路開発と本開発回路における Read Disturb 特性の評価解析

第3章では、従来研究における STT-MRAM Read 回路と DRAM 回路の構造を参考にして、SPICE シミュレータを用いて回路設計と動作検証、課題解決のための回路設計というサイクルを回し、第4章での Read Disturb 対策回路の効果を比較によって検証するためのスタンダードな STT-MRAM Read 回路を開発した。その後、SPICE シミュレータによって本開発回路の各種性能および Read Disturb 特性の評価解析を行った。また、各種性能が Read Disturb 特性に与える影響をシミュレーションによって確認し、磁化反転確率の計算から Read Disturb の抑制に関して効果的なパラメータについて定量的に解析した。

4. Read Disturb 対策のための NMOS ラッチ組み込み型 STT-MRAM Read 回路の設計および評価解析

第4章では、初めに第3章の結果を解析し Read Disturb 対策にむけた Read 回路として NMOS ラッチによる信号電圧増幅を利用する方法を提案し、回路の設計指針を示した。続いて、SPICE シミュレータを

用いて回路設計と動作解析、課題解決のための回路設計を行うサイクルを回し、Read Disturb 対策回路として NMOS ラッチ組み込み型 STT-MRAM Read 回路を開発した。その後、各種性能および Read Disturb 特性の評価解析を行い、同 Read 時間の Read 動作において NMOS ラッチ組み込み型回路が従来回路に比べて磁化反転確率を抑制する Read Disturb 特性向上効果を持つこと示した。また、これを並列読み出し bit 数を考慮した場合の計算にも適応することで従来回路に対して何倍の並列読み出し bit 数まで Read Disturb 特性の優位を確保できるのかを示した。続いて、さらなる Read Disturb 特性向上に向けた Read 回路設計のため、各パラメータをさらに変化させて評価解析を行った。その解析結果から、さらなる Read Disturb 特性向上に向けた STT-MRAM Read 回路の設計指針を示した。

5. まとめ

STT-MRAM Read 回路に NMOS ラッチ組み込みを行うことを主としたセルアレイ動作方式およびセンスアンプ回路の改良によって Read Disturb 特性向上効果を示した。また、さらなる Read Disturb 特性向上に向けた回路設計指針を示した。

文献

- 1) K.Ando *et al.*, “Spin-transfer torque magnetoresistive random-access memory technologies for normally off computing (invited)”, *Journal of Applied Physics* 115, 172607, 2014
- 2) T.Endoh, H.Koike, S.Ikeda, T.Hanyu and H.Ohno, “An Overview of Nonvolatile Emerging Memories— Spintronics for Working Memories”, *IEEE J. Emerg. Sel. Topics Circuits Syst.*, vol. 6, no. 2, pp. 109-119, June 2016
- 3) Rajendra Bishnoi, Mojtaba Ebrahimi, Fabian Oboril, Mehdi B. Tahoori, “Read disturb fault detection in STT-MRAM”, *2014 International Test Conference*.
- 4) Liqiong Wei *et al.*, “A 7Mb STT-MRAM in 22FFL FinFET Technology with 4ns Read Sensing Time at 0.9V Using Write-Verify-Write Scheme and Offset-Cancellation Sensing Technique”, *ISSCC 2019 SESSION 13 NON-VOLATILE MEMORIES* 13.3